

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

08/903486

06-302828

Oct. 28, 1994

L31: 1 of 6

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

INVENTOR: YOHEI ICHIKAWA, et al. (1)
ASSIGNEE: MATSUSHITA ELECTRIC IND CO LTD
APPL NO: 05-87115
DATE FILED: Apr. 14, 1993
PATENT ABSTRACTS OF JAPAN
ABS GRP NO:
ABS VOL NO:
ABS PUB DATE:
INT-CL: H01L 29/788; H01L 29/792

ABSTRACT:

PURPOSE: To perform an erasure operation at low voltages and at high speed in a flash-type EEPROM.

CONSTITUTION: The device is provided with a first-conductivitytype semiconductor substrate 1, with a **floating gate** electrode 4 on a channel region on the surface of the semiconductor substrate 1 via a gate insulating film 3 and with a control gate electrode 6 on the **floating gate** electrode 4 via an interelectrode insulating film 5. The floating gate electrode 4 is provided with a constitution using a semiconductor material whose band gap is larger than that of a semiconductor constituting the substrate. By this constitution, the **floating gate** electrode 4 easily generates an FN tunneling current at low voltages in an erasure operation because it uses the material whose **band gap** is larger than that of silicon.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-302828

(43)公開日 平成 6 年(1994)10月28日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-87115

(22)出願日 平成 5 年(1993) 4 月14日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 市川 洋平

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中尾 一郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

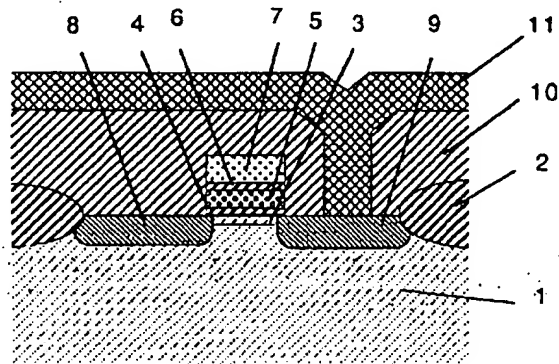
(74)代理人 弁理士 小鍛治 明 (外 2 名)

(54)【発明の名称】 半導体不揮発性記憶装置

(57)【要約】

【目的】 フラッシュ型EEPROMにおいて、低電圧で高速に消去動作を行う。

【構成】 第1導電型の半導体基板1と、前記半導体基板1の表面のチャンネル領域上にゲート絶縁膜3を介した浮遊ゲート電極4と、前記浮遊ゲート電極4上に電極間絶縁膜5を介した制御ゲート電極6を備え、前記浮遊ゲート電極4は、基板を構成する半導体よりもバンドギャップの大きい半導体材料を用いた構成を備えたものである。上記した構成によって、浮遊ゲート電極4は、シリコンよりもバンドギャップの大きい材料を用いているため、消去時には低電圧で容易にFNTトンネル電流を生じることとなる。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板と、前記半導体基板の表面のチャンネル領域上に第1の絶縁膜を介した浮遊ゲート電極と、前記浮遊ゲート上に第2の絶縁膜を介した制御ゲート電極を備え、前記浮遊ゲート電極は、前記基板を構成する半導体よりもバンドギャップの大きい半導体材料を用いることを特徴とする半導体不揮発性記憶装置。

【請求項2】第1導電型の半導体基板と、前記半導体基板の表面のチャンネル領域上に第1の絶縁膜を介した浮遊ゲート電極と、前記浮遊ゲート上に第2の絶縁膜を介した制御ゲート電極を備え、前記浮遊ゲート電極は、前記基板を構成する半導体よりも仕事関数の小さい導電体を用いることを特徴とする半導体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体不揮発性記憶装置に関するものである。

【0002】

【従来の技術】従来、半導体不揮発性記憶装置としてEPROMやEEPROMなどが広く知られている。その中で近年、記憶情報の電気的消去は全メモリセル一括あるいはブロック単位であれば可能であるフラッシュ型EEPROMは、メモリセルの微細化・高集積化に有利であるという特徴から注目されている。以下図面を参照しながら、上記した従来のフラッシュ型EEPROMの一例について説明する。

【0003】図3は従来のフラッシュ型EEPROMの構造断面図を示すものである。図3において、1はp型シリコン基板、2は素子分離領域、3はチャンネル領域、4はゲート絶縁膜、5は浮遊ゲート電極、6は電極間絶縁膜、7は制御ゲート電極（ワード線）、8はn+ソース拡散層、9はn+ドレイン拡散層、10は層間絶縁膜、11はビット線である。

【0004】以上のように構成されたフラッシュ型EEPROMについて、以下その動作について説明する。ワード線7とビット線11を高電位に設定してメモリセルを動作させると、n+型ドレイン拡散層9とメモリトランジスタのチャンネル領域3との接合部付近でホットエレクトロンを多量に発生し、ポリシリコンで形成された浮遊ゲート電極5に注入される。このとき、浮遊ゲート電極5に蓄積された電子は、図4のエネルギーバンド図に示すように、制御ゲート7やn+ソース拡散層8、n+ドレイン拡散層9に比べ高いエネルギー準位になるが、周りが完全に絶縁体に囲まれているため、電源を切っても外に逃げることはない。浮遊ゲート電極5に電子が蓄積されるとメモリトランジスタのしきい値電圧が上昇するため、ワード線7を特定の電位に設定し、メモリトランジスタに同一バイアスを印加しても、浮遊ゲート電極5内の蓄積電荷の有無によって、メモリトランジスタのソースドレイン間に流れる動作電流値に大きな差を生じ

る。このように浮遊ゲート電極5への電荷の注入により記憶情報を書き込み、メモリトランジスタの動作電流値の差により記憶情報を読みだすことができる。また記憶情報の消去は、n+型ソース拡散層8あるいはp型半導体基板1に正バイアスを印加、または、制御ゲート電極7との結合容量により浮遊ゲート電極5に負バイアスを印加にすることにより行われる。図2(b)に消去時のエネルギーバンド図を示す。ここでは、浮遊ゲート電極5とn+型ソース拡散層8との間に ΔV_b の電位差を生じることにより、FNTトンネル電流により蓄積された電子をn+型ソース拡散層8に引き抜いて消去が行われる。

【0005】

【発明が解決しようとする課題】しかしながら上記のような構成では、浮遊ゲート電極5はポリシリコンで形成されており、記憶情報の消去においてFNTトンネル電流により蓄積された電子を引き抜くため、浮遊ゲート電極5とn+型ソース拡散層8あるいはp型半導体基板1との間に高電界が必要であり、n+型ソース拡散層8あるいはp型半導体基板1に高い正バイアスを印加、または、制御ゲート電極7に高い負バイアスを印加する必要がある。そのため、別の高電圧電源あるいは高電圧発生回路が必要であり、またゲート絶縁膜4の信頼性を悪化させるという問題点を有していた。またこの電子の引き抜きに時間を要するという問題点を有していた。

【0006】従って本発明は上記問題点に鑑み、低電圧で高速に記憶情報の消去動作を行う半導体不揮発性記憶装置を提供するものである。

【0007】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体不揮発性記憶装置は、第1導電型の半導体基板と、前記半導体基板の表面のチャンネル領域上に第1の絶縁膜を介した浮遊ゲート電極と、前記浮遊ゲート電極上に第2の絶縁膜を介した制御ゲート電極を備え、前記浮遊ゲート電極は、前記基板を構成する半導体よりもバンドギャップの大きい半導体材料を用いた構成を備えたものである。また、前記浮遊ゲート電極は、前記基板を構成する半導体よりも仕事関数が小さい導電体を用いてもよい。

【0008】

【作用】本発明は上記した構成によって、浮遊ゲート電極は、基板を構成する半導体よりもバンドギャップの大きい半導体材料を用いているため、書き込みが行われた浮遊ゲート内の電荷は、従来例と比べてエネルギー的に高いレベルに存在する。したがって、ゲート絶縁膜と浮遊ゲート電極との電位障壁は小さくなり、消去時に浮遊ゲートが基板あるいはソース拡散層に対して高電位になったときに、蓄積された浮遊ゲート内の電荷は、ほぼ上記のゲート絶縁膜と浮遊ゲートとの電位障壁が小さくなった分だけ低電圧で、浮遊ゲート電極の伝導帯からゲート

3

ト絶縁膜の伝導帯にトンネルし、FNTトンネル電流を生じることとなる。

【0009】

【実施例】以下本発明の実施例の半導体不揮発性記憶装置について、図面を参照しながら説明する。

【0010】図1は本発明の実施例における半導体不揮発性記憶装置の断面図である。図1において、1はp型シリコン基板、2は素子分離領域、3はチャンネル領域、4はゲート絶縁膜、5は浮遊ゲート電極、6は電極間絶縁膜、7は制御ゲート電極（ワード線）、8はn+ソース拡散層、9はn+ドレイン拡散層、10は層間絶縁膜、11はビット線である。ここで浮遊ゲート電極5は、バンドギャップ E_g が、基板材料であるシリコン ($E_g=1.12\text{eV}$) よりも大きい半導体材料、例えば燐化ガリウム ($E_g=2.24\text{eV}$) で形成する。ゲート絶縁膜4はシリコン酸化膜で形成され、膜厚を10nmとする。

【0011】以上のように構成された半導体不揮発性記憶装置についてその動作は、従来例と同じく、記憶情報の書き込みはホットエレクトロンを用い、消去はFNTトンネル電流を用いて行う。

【0012】図2を用いて詳しく説明する。図2(a)および(b)は、それぞれ本実施例に示した構成および従来例に示した構成のメモリセルにおける消去時のエネルギーバンドを示している。図2(a)で、本実施例において電荷の引き抜きはn+ソース拡散層8に行われるとする。3はチャンネル領域、4はゲート絶縁膜、5は浮遊ゲート電極（燐化ガリウム）、6は電極間絶縁膜、7は制御ゲート電極を示している。図2(a)に示すように本実施例では、浮遊ゲート5のバンドギャップ E_g が大きいので、蓄積された電子は、従来の浮遊ゲートをポリシリコンで形成した場合に比べ、0.2~0.5V高いエネルギー準位にある。したがって、浮遊ゲート電極5に蓄積された電子について、ゲート絶縁膜4の障壁が小さくなり、ゲート絶縁膜4の伝導帯にトンネルするために必要な、浮遊ゲート電極5とn+ソース拡散層8との電位差 ΔV は、従来例では ΔV_b 必要であったものが、本実施例では ΔV_a と低電圧で可能である。そのため消去動作において、n+ソース拡散層8と制御ゲート7との電位差は、従来例での構成では V_b の高電圧印加が必要であったものが、本実施例では V_a と0.2~0.5Vの低電圧化が可能である。

【0013】以上のように本実施例によれば、浮遊ゲート電極5をシリコンよりバンドギャップの大きい燐化ガリウムで形成することにより、低電圧で高速に消去動作

4

を行うことができ、したがって情報の書き換えが高速かつ低電圧で行うことができる。

【0014】なお、実施例において、浮遊ゲート電極5は燐化ガリウムとしたが、基板材料であるシリコンよりもバンドギャップの大きい半導体材料（例えばヒ化ガリウム、炭化シリコンなど）、あるいはシリコンよりも仕事関数の小さい導伝体であればよい。記憶情報の消去は浮遊ゲートからソース領域への電荷の引き抜きとしたが、浮遊ゲートからチャンネル領域領域への電荷の引き抜きでもよい。記憶情報の書き込みはホットエレクトロンを用いたが、FNTトンネル電流を用いてもよい。またメモリトランジスタをnチャンネル型としたが、pチャンネル型で構成してももちろん構わない。

【0015】

【発明の効果】以上のように本発明の半導体不揮発性記憶装置は、浮遊ゲート電極を基板を構成する半導体よりもバンドギャップの大きい半導体材料、または仕事関数の小さい導伝体で形成することにより、低電圧で高速に記憶情報の消去動作を行うことができる。したがって情報の書き換えが高速かつ低電圧で行うことができ、信頼性の高い半導体不揮発性記憶装置が得られる。

【図面の簡単な説明】

【図1】本発明の実施例における半導体不揮発性記憶装置の断面構造図

【図2】(a)は本発明の実施例における半導体不揮発性記憶装置の記憶情報の消去時のエネルギーバンド図

(b)は従来例における半導体不揮発性記憶装置の記憶情報の消去時のエネルギーバンド図

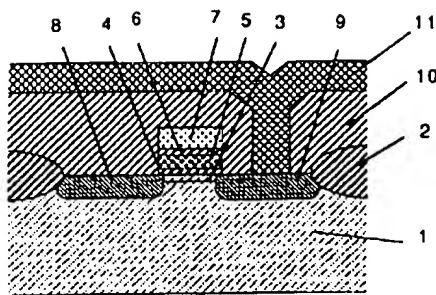
【図3】従来の半導体不揮発性記憶装置の断面構造図

【図4】従来の半導体不揮発性記憶装置の情報の記憶時のエネルギーバンド図

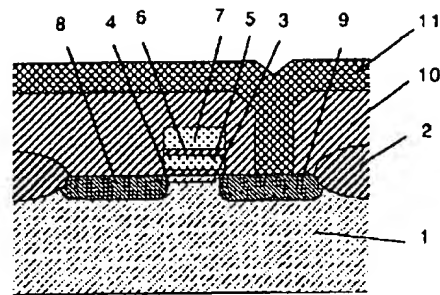
【符号の説明】

- 1 p型シリコン基板
- 2 素子分離領域
- 3 チャンネル領域
- 4 ゲート絶縁膜
- 5 浮遊ゲート電極
- 6 電極間絶縁膜
- 7 制御ゲート電極（ワード線）
- 8 n+ソース拡散層
- 9 n+ドレイン拡散層
- 10 層間絶縁膜
- 11 ビット線

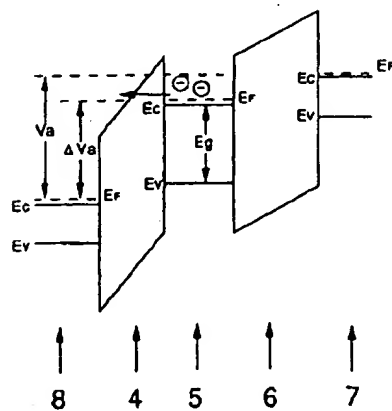
【図1】



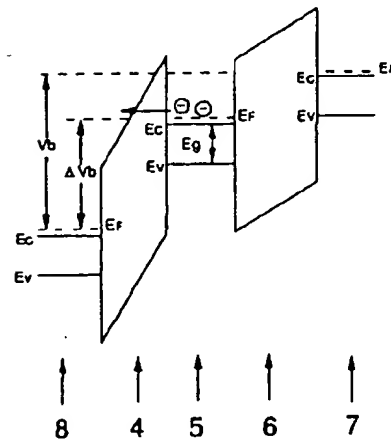
【図3】



【図2】



(a)



(b)

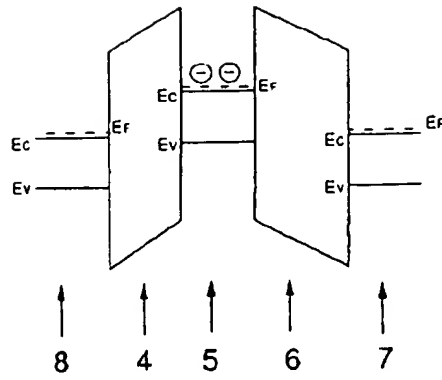
E_c : 伝導帯の下端のエネルギー準位

E_v : 価電子帯の上端のエネルギー準位

E_F : フェルミ準位

E_g : エネルギーギャップ

【図4】



E_c : 伝導帯の下端のエネルギー準位

E_v : 価電子帯の上端のエネルギー準位

E_f : フェルミ準位